

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-046123

(43)Date of publication of application : 14.02.1995

(51)Int.CI. H03L 7/10  
H03L 7/14

(21)Application number : 05-184556

(71)Applicant : NEC CORP

(22)Date of filing : 27.07.1993

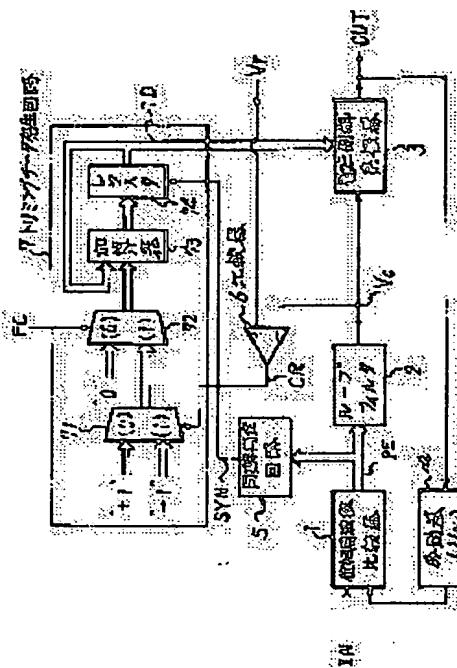
(72)Inventor : SUGAWARA HIDEKAZU

## (54) PLL CIRCUIT

## (57)Abstract:

PURPOSE: To reduce the circuit scale and to correctly set the free-running oscillation frequency.

CONSTITUTION: A synchronism deciding circuit 5 is provided which decides the synchronous state between the frequency divided signal of an output signal OUT and an input signal IN by a phase error signal PE from a phase frequency comparator 1 to generate a synchronizing signal SYN having a prescribed period. A comparator 6 is provided which compares a control voltage Vc from loop filter 2 with a reference voltage Vr and outputs a comparison result signal CR. A trimming data generating circuit 7 is provided which outputs trimming data TD including information of the comparison result signal CR in synchronism with the synchronizing signal SYN in the case of a free-running oscillation frequency set signal FC in the active level and holds just preceding trimming data TD in the case of the signal FC in the inactive level. The oscillation frequency of a voltage controlled oscillator 3 is controlled by the control voltage Vc and trimming data TD.



## LEGAL STATUS

[Date of request for examination] 10.03.1994

[Date of sending the examiner's decision of rejection] 26.11.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-46123

(43)公開日 平成7年(1995)2月14日

(51)Int.Cl.\*

H 03 L 7/10  
7/14

識別記号 庁内整理番号

Z 9182-5J  
9182-5J

F I

H 03 L 7/10

技術表示箇所

D

審査請求 有 請求項の数 3 OL (全 9 頁)

(21)出願番号 特願平5-184556

(22)出願日 平成5年(1993)7月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 皆原 英一

東京都港区芝五丁目7番1号 日本電気株式会社内

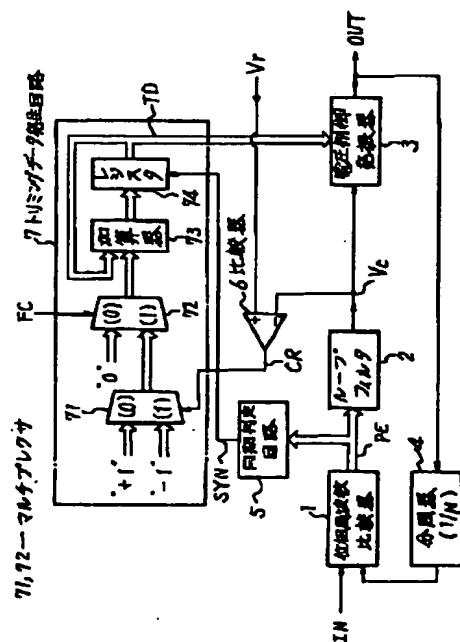
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 PLI回路

(57)【要約】

【目的】回路規模を小さくすると共に自走発振周波数が正しく設定できるようにする。

【構成】位相周波数比較器1からの位相誤差信号PEによって出力信号OUTの分周信号と入力信号INとの同期状態を判定し所定の同期の周期信号SYNを発生する同期判定回路5を設ける。ループフィルタ2からの制御電圧Vcを基準電圧Vrと比較しその比較結果信号CRを出力する比較器6を設ける。自走発振周波数設定信号FCがアクティブレベルのとき比較結果信号CRの情報を含むトリミングデータTDを同期信号SYNに同期して出力レインアクティブルベルになると直前のトリミングデータTDを保持するトリミングデータ発生回路7とを設ける。圧制御発振器3の発振周波数を制御電圧Vc及びトリミングデータTDにより制御する。



1

2

## 【特許請求の範囲】

【請求項1】 出力信号の周波数を $1/N$  ( $N$ は1以上の整数)に分周した信号と入力信号との位相を比較しその位相差情報を含む位相誤差信号を出力する位相周波数比較器と、前記位相誤差信号の高周波成分を除去し制御電圧を発生するループフィルタと、前記制御電圧とトリミングデータとによって制御された周波数の前記出力信号を発生する電圧制御発振器と、前記位相誤差信号によって前記出力信号と前記入力信号との同期状態を判定し所定の周期の同期信号を発生する同期判定回路と、前記制御電圧と所定のレベルの基準電圧とを比較しその比較結果と対応した情報をもつ比較結果信号を出力する比較器と、自走発振周波数設定信号がアクティブレベルのとき前記比較結果信号の情報を含む前記トリミングデータを前記同期信号と同期して出力しインアクティブレベルになるとこのインアクティブレベルになる直前の前記トリミングデータを保持し出力するトリミングデータ発生回路とを有することを特徴とするPLL回路。

【請求項2】 トリミングデータ発生回路が、比較結果信号が第1のレベルのときはデータ“-1”を出力し第2のレベルのときはデータ“+1”を出力する第1のマルチブレクサと、自走発振周波数設定信号がアクティブレベルのときは前記第1のマルチブレクサの出力データを選択して出力しインアクティブレベルのときはデータ“0”を出力する第2のマルチブレクサと、この第2のマルチブレクサの出力データとトリミングデータとを加算し出力する加算器と、この加算器の出力データを同期信号に同期して取込んで保持し前記トリミングデータとして出力するレジスタとを備えて構成された請求項1記載のPLL回路。

【請求項3】 電圧制御発振器が、負入力端に制御電圧を受ける増幅器と、ソースに電源電位を受けゲートを前記増幅器の山力端と接続しドレインを前記増幅器の正入力端と接続する第1のトランジスタと、一端をこの第1のトランジスタのドレインと接続し他端を接地電位点と接続する抵抗と、トリミングデータの各ビットとそれぞれ対応して設けられそれぞれソースに前記電源電位を受けゲートを前記増幅器の出力端と接続し前記第1のトランジスタと共にこの第1のトランジスタに対し所定の電流比をもつカレントミラー回路を形成する複数の第2のトランジスタと、これら第2のトランジスタとそれぞれ対応して設けられソース、ドレインのうちの一方を対応する前記第2のトランジスタのドレインと接続し他方を共通接続ゲートに前記トリミングデータの対応ビットを受けてオン、オフする複数の第3のトランジスタと、これら第3のトランジスタのソース、ドレインのうちの他方からの電流を受けてその電流値と対応した周波数の出力信号を発生する電流制御発振器とを備えて構成された請求項1記載のPLL回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はPLL回路に関し、特に電圧制御発振器の自走発振周波数を調整する手段を備えたPLL回路に関する。

## 【0002】

【従来の技術】 PLL回路内の電圧制御発振器の自走発振周波数をこのPLL回路の周波可能な範囲に設定することは、PLL回路設計上、重要な項目の一つである。しかしながら、この自走発振周波数は、製造プロセスにおける種々のパラメータ（例えば、酸化膜の厚さ、しきい値電圧等）の変動や、温度変化の影響を受けて大きくばらつくことになる。

【0003】 そこで、この自走発振周波数をPLL回路の同期可能な範囲に設定するため、チップ内に設けられたトリミング抵抗（又はコンデンサ）によるレーザトリミング技術や高電流ザッピング技術を用い、物理的に修正を行っていた。

【0004】 しかし、これらの技術による物理的な修正は何れも費用及び時間がかかる上、高電流ザッピング技術ではその許容誤差を確保するには信頼度上不十分である。そこで、この自走発振周波数の修正、設定を電子回路により行う技術が提案されている（例えば、特開平3-29516号公報参照）。

【0005】 図4は自走発振周波数の修正、設定を電子回路により行うようにした従来のPLL回路の一例を示す回路図である。

【0006】 このPLL回路は、図4中的一点銀線の下側のループBを形成するFLL部と上記一点銀線の上側の部分及び電圧制御発振器12、加算回路44を含むループAを形成するPLL部とから成る。

【0007】 システムのパワーオン時又はリセット時に、自走発振周波数設定信号FSがアクティブ（“1”）になると、FLL部は動作状態となり、PLL部は非動作状態となってそのループのFLL部への出力（D-A変換器11の出力）はロックレンジのほぼ中心値に固定される。

【0008】 FLL部においては、電圧制御発振器12の出力COがカウンタ31に、供給源からの基準クロックパルスCKがカウンタ30にそれぞれ供給される。カウンタ30の計数値が予め設定された値Nに達すると比較器33からリセットパルスが出力され、そのときのカウンタ31の計数値がレジスタ35に記憶されると共にこれらカウンタ30、31は共にリセットされる。次に、レジスタ35に記憶された係数値Mは、比較器34によりPLL部のロックレンジのほぼ中心値に相当する期待計数値Rと比較され、その差の符号（+、-）及び大きさに応じてカウンタ32の値がインクリメント、ディクリメントされる。このカウンタ32の値は電圧制御発振器12の出力COに同期してレジスタ36に取り込まれてD-A変換器10に伝達され、その出力は加算回

路44により電圧制御発振器12の制御電圧VCに変換される。この制御電圧VCは、カウンタ31の計数値Mが期待計数値Rに等しくなるまで電圧制御発振器12の発振周波数をインクリメント又はディクリメントし、これら計数値が等しくなったとき電圧制御発振器12の自走発振周波数は所望の値に設定される。

【0009】自走発振周波数設定信号FSがインアクティブレベルになるとPLL部が動作状態となり、FLL部はそのループが形成されなくなり非動作状態となる。

【0010】PLL部は、入力信号IN及び電圧制御発振器12の出力COをデジタル値に変換するA-D変換器13と、このA-D変換器13からの2つのデジタル値を比較し入力信号IN及び電圧制御発振器12の出力COの位相誤差信号を出力する位相誤差検出器14と、この位相誤差検出器14の出力を積分する積分器19を含み位相誤差検出器14の出力の自走発振周波数設定信号FS及び積分器19の値がオーバーフロー／アンダーフローを示す信号(OF/UF)等によって制御して出力と共に積分結果を出力するタイミング制御論理回路15と、このタイミング制御論理回路15の出力をアナログ信号に変換するD-A変換器11と、FLL部と共に加算回路40及び電圧制御発振器12とを備える。

【0011】このPLL部においては、積分器19の値がオーバーフロー／アンダーフローしていない状態では、自走発振周波数がロックレンジ内に保たれ、人力信号INに同期した出力信号OUTが得られる。

【0012】しかし、過度の温度変動や電源電圧変動又は構成素子の経時変化等によって自走発振周波数がPLL部のロックレンジを逸脱すると、積分器19の値がオーバーフロー／アンダーフローし、オーバーフロー／アンダーブロー信号OF/JFが outputされる。この信号(OF/UF)によって、積分器19→AND回路39→加算器38→マルチブレクサ37→レジスタ36→D-A変換器10→加算回路44→電圧制御発振器12→A-D変換器13→位相誤差検出器14→AND回路16→積分器19のループが形成され、電圧制御発振器12の自走発振周波数をPLL部のロックレジスタ内に保つように制御する。

【0013】【発明が解決しようとする課題】この従来のPLL回路では、パワーオン時又はリセット時に電圧制御発振器12の自走発振周波数を設定するFLL部に、3つのカウンタ30, 31, 32やD-A変換器10を含むため回路規模が大きくなるという欠点があり、また、供給源からの基準クロックパルスを必要とするため、この基準クロックパルスを供給源からの“0”, “1”的ランタームバターンのパルス列から再生するような場合、自走発振周波数を正しく設定することができないという欠点があった。

【0014】本発明の目的は、回路規模を小さくすると共に、自走発振周波数を正しく設定することができるPLL回路を提供することにある。

【0015】

【課題を解決するための手段】本発明のPLL回路は、出力信号の周波数を $1/N$ (Nは1以上の整数)に分割した信号と入力信号との位相を比較しその位相差情報を含む位相誤差信号を出力する位相周波数比較器と、前記位相誤差信号の高周波成分を除去し制御電圧を発生するループフィルタと、前記制御電圧とトリミングデータによって制御された周波数の前記出力信号を発生する電圧制御発振器と、前記位相誤差信号によって前記出力信号と前記入力信号との同期状態を判定し所定の周期の同期信号を発生する同期判定回路と、前記制御電圧と所定のレベルの基準電圧とを比較しその比較結果と対応した情報をもつ比較結果信号を出力する比較器と、自走発振周波数設定信号がアクティブレベルのとき前記比較結果信号の情報を含む前記トリミングデータを前記同期信号と同期して出力しインアクティブレベルになるとこのインアクティブレベルになる直前の前記トリミングデータを保持し出力するトリミングデータ発生回路とを有している。

【0016】また、トリミングデータ発生回路が、比較結果信号が第1のレベルのときはデータ“-1”を出力し第2のレベルのときはデータ“+1”を出力する第1のマルチブレクサと、自走発振周波数設定信号がアクティブレベルのときは前記第1のマルチブレクサの出力データを選択して出力しインアクティブレベルのときはデータ“0”を出力する第2のマルチブレクサと、この第2のマルチブレクサの出力データとトリミングデータとを加算し出力する加算器と、この加算器の出力データを同期信号に同期して取込んで保持し前記トリミングデータとして出力するレジスタとを備えて構成され、電圧制御発振器が、負入力端に制御電圧を受ける増幅器と、ソースに電源電位を受けゲートを前記増幅器の出力端と接続しドレインを前記増幅器の正入力端と接続する第1のトランジスタと、一端をこの第1のトランジスタのドレインと接続し他端を接地電位点と接続する抵抗と、トリミングデータの各ビットとそれぞれ対応して設けられそれぞれソースに前記電源電位を受けゲートを前記増幅器の出力端と接続し前記第1のトランジスタと共にこの第1のトランジスタに対し所定の電流比をもつカレントミラー回路を形成する複数の第2のトランジスタと、これら第2のトランジスタとそれぞれ対応して設けられソース、ドレインのうちの一方を対応する前記第2のトランジスタのドレインと接続し他方を共通接続ゲートに前記トリミングデータの対応ビットを受けてオン、オフする複数の第3のトランジスタと、これら第3のトランジスタのソース、ドレインのうちの他方からの電流を受けてその電流値と対応した周波数の出力信号を発生する電

5

流制御発振器とを備えて構成される。

【0017】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0018】図1は本発明の一実施例を示すブロック図である。

【0019】この実施例は、出力信号OUTの周波数を $1/N$  ( $N$ は1以上の整数)に分周する分周器4 ( $N=1$ のときは出力信号OUTをそのまま出力)と、この分周器4からの信号と入力信号INとの位相を比較しその位相差情報を含む位相誤差信号PEを出力する位相周波数比較器1と、位相誤差信号PEの高周波成分を除去し制御電圧Vcを出力するループフィルタ2と、制御電圧VcとトリミングデータTDとによって制御された周波数の出力信号OUTを発生する電圧制御発振器3と、位相誤差信号PEによって出力信号OUTと入力信号INとの同期状態を判定し所定の周期の同期信号SYNを出力する同期判定回路と、制御電圧Vcを所定のレベルの基準電圧Vrと比較しその比較結果と対応したレベルの比較結果信号CRを出力する比較器6と、比較結果信号CRが第1のレベル ("1" レベル、例えば高レベル)のときはデータ "-1"、第2のレベル ("0" レベル)のときはデータ "+1" を出力するマルチプレクサ71、自走発振周波数設定信号FCがアクティブルーベル ("1" レベル)のときはマルチプレクサ71の出力データを選択しインアクティブルーベルのときはデータ "0" を出力するマルチプレクサ72、このマルチプレクサ72の出力データとトリミングデータTDとを加算し出力する加算器73、及びこの加算器73の出力データを同期信号SYNに同期して取込んで保持しトリミングデータTDとして出力するレジスタ74を備え自走発振周波数設定信号FSがアクティブルーベルのとき比較結果信号CRの情報を含むトリミングデータTDを同期信号SYNに同期して出力しインアクティブルーベルになるとこのインアクティブルーベルになる直前のトリミングデータを保持し出力するトリミングデータ発生回路7とを有する構成となっている。

【0020】次にこの実施例のシステムパワーオン時又はリセット時における電圧制御発振器3の自走発振周波数の設定動作について説明する。

【0021】システムパワーオン時やシステムリセット時には、自走発振周波数が設定されるまでの期間、自走発振周波数設定信号FSがアクティブルーベルとなり、トリミングデータ発生回路7のマルチプレクサ72に供給される。

【0022】位相周波数比較器1、ループフィルタ2、電圧制御発振器3及び分周器4は、電圧制御発振器3がループフィルタ2からの制御電圧VcとトリミングデータTDとによって発振周波数が制御される他は、極めて一般的なPLL回路と同様の動作を行い入力信号INに

6

同期した出力信号OUTを出力する。

【0023】比較器6は、ループフィルタ2の出力電圧、即ち制御電圧Vcが基準電圧Vrより小さいとき "1" レベル、大きいときに "0" レベルの比較結果信号CRを出力する。この比較結果信号CRの "1" レベルに応答してデータ "-1"、"0" レベルに応答してデータ "+1" がマルチプレクサ71から出力され、自走発振周波数設定信号FCがアクティブルーベル ("1") であるので、このマルチプレクサ71の出力データが加算器73に供給される。

【0024】加算器73はトリミングデータTDにマルチプレクサ71からの "-1"、"+1" を加算し、その結果が同期信号SYNに同期してレジスタ74に取込まれ再びトリミングデータTDとして出力される。

【0025】このトリミングデータTDと制御電圧Vcとにより電圧制御発振器3の発振周波数が制御され、その結果がループフィルタ2から制御電圧Vcとして現われる。この動作は制御電圧Vcが基準電圧Vrと一致するまでくり返えされる。従って、基準電圧Vrを適正值に設定することにより、製造プロセスにおける諸バラエタのばらつき等に関係なく電圧制御発振器3の自走発振周波数を適正值に設定することができる。

【0026】電圧制御発振器3は一例として図2に示すように、負入力端(-)に制御電圧Vcを受ける増幅器A1と、ソースに電源電位Vccを受けゲートを増幅器31の出力端と接続しドレインを増幅器31の正入力端(+)を接続するトランジスタQ1と、一端をトランジスタQ1のドレインと接続し他端を接地電位点と接続する抵抗R1と、ビットTD1、TD2、…、TDnで構成されたトリミングデータTDの各ビットとそれぞれ対応して設けられそれぞれソースに電源電位Vccを受けゲートを増幅器31の出力端と接続しトランジスタQ1と共にこのトランジスタQ1に対し所定の電流比をもつカレントミラー回路を形成するトランジスタQ11、Q12、…、Q1nと、これらトランジスタQ11、Q12、…、Q1nとそれぞれ対応して設けられソース、ドレインのうちの一方を対応するトランジスタ(Q11、Q12、…、Q1n)のドレインと接続しゲートにトリミングデータTDの対応ビットを受けてオフ、オフリソース、ドレインの他方を共通接続して電流出力端とするトランジスタQ21、Q22、…、Q2nと、これらトランジスタQ21、H22、…、Q2nの電流出力端からの電流を受けてその電流値と対応した周波数の出力信号OUTを発生する電流制御発振器32とを備えた構成となっている。なお、増幅器A1、トランジスタQ1、Q11～Q1n、Q21～Q2n及び抵抗R1は、制御電圧VcとトリミングデータTDの値とに比例した電流を出力する電圧電流変換器3-1を形成している。

【0027】増幅器A1とトランジスタQ1とは増幅器A1の負入力端(-)と正入力端(+)とが等しくなる

7

ように作用するので、抵抗R1には $V_c/R_1$  ( $R_1$ は抵抗R1の抵抗値)、すなわち制御電圧 $V_c$ に比例した電流が流れる。トランジスタQ1と共にカレントミラーリング回路を形成するトランジスタQ11, Q1nには、トランジスタQ1に流れる電流と対応した電流が流れ。ここで、トランジスタQ11, Q12, …, Q1nに流れ電流のそれぞれをトランジスタQ1に流れる電流に対し、 $2^1 \cdot a$ ,  $2^2 \cdot a$ , …,  $2^n \cdot a$ としておくと、制御電圧 $V_c$ に比例すると同時にトリミングデータTD (TD1, TD2, …, TDn) の値に比例した値の電流を得ることができる。

【0028】図3 (a) ~ (c) はそれぞれ電流制御発振器3-2, 電圧電流変換器3-1及び電圧制御発振器3の入出力特性図である。これら入出力特性図において、実線は設計値を示し破線は製造プロセスにおける諸バラメータが変動したときの特性を示す。電流制御発振器3-2の電流対発振周波数特性が図3 (a) の破線のように設計値からはずれた場合、電圧電流変換器3-1の制御電圧 $V_c$ 、トリミングデータTD対電流特性を図3 (b) の破線のように設定することにより、電圧制御発振器3の制御電圧 $V_c$ 、トリミングデータTD対発振周波数特性を設計値に等しくすることができます。電圧電流変換器3-1の制御電圧 $V_c$ 、トリミングデータTD対電流特性の設定は、基準電圧 $V_r$ を調整することにより所望の特性とすることができます。

【0029】電圧制御発振器3を上記のような構成とすることにより、D-A変換器を使用することなく電圧制御発振器3の自走発振周波数を制御電圧 $V_c$ 及びトリミングデータTDにより制御することができる。

【0030】

【発明の効果】以上説明したように本発明は、位相周波数比較器からの位相誤差信号によって出力信号と入力信号との同期状態を判定し所定の同期の周期信号を発生する同期判定回路と、ループフィルタからの制御電圧を基準電圧と比較しその比較結果信号を出力する比較器と、自走発振周波数設定信号がアクティブループレベルのとき比較結果信号の情報を含むトリミングデータを同期信号に同期して出力しインアクティブループレベルになると直前のトリミングデータを保持するトリミングデータ発生回路とを設け、電圧制御発振器の発振周波数を制御電圧及びトリミ

ングデータにより制御することにより、従来例のようにカウンタやD-A変換器を使用しないで回路規模を小さくすることができ、かつ自走発振周波数が供給源からの基準クロックパルスによらず基準電圧で制御できるのでこの自走発振周波数を正しく設定することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1に示された実施例の電圧制御発振器の回路図である。

【図3】図2に示された電圧制御発振器の各部の特性図である。

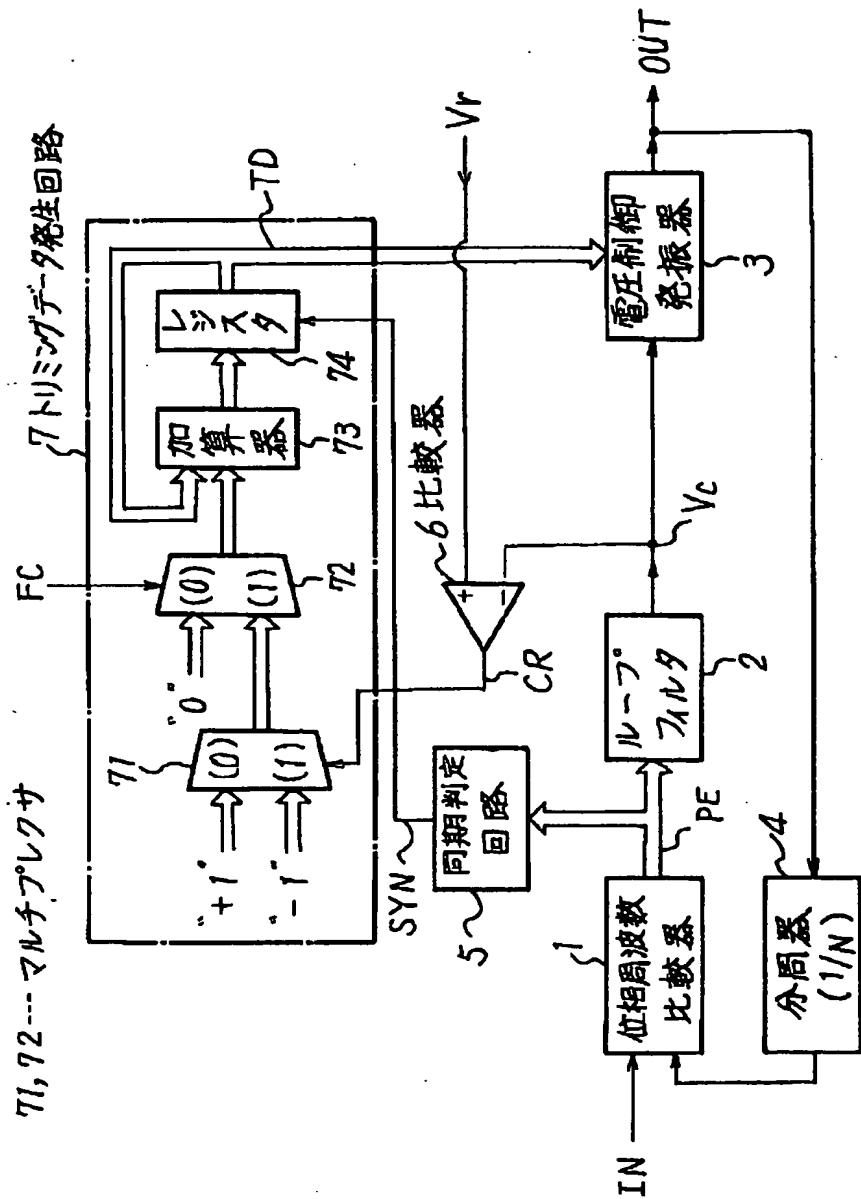
【図4】従来のPLL回路の一例を示すブロック図である。

【符号の説明】

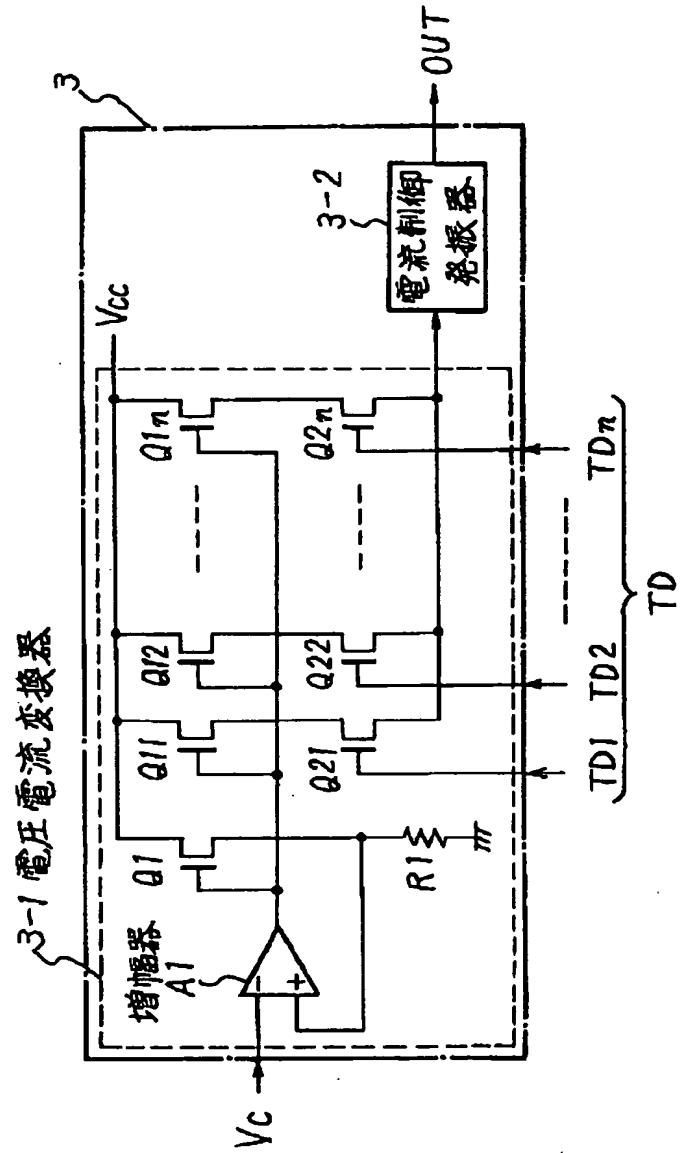
- |        |              |
|--------|--------------|
| 1      | 位相周波数比較器     |
| 2      | ループフィルタ      |
| 3      | 電圧制御発振器      |
| 3-1    | 電圧電流変換器      |
| 3-2    | 電流制御発振器      |
| 4      | 分周器          |
| 5      | 同期判定回路       |
| 6      | 比較器          |
| 7      | トリミングデータ発生回路 |
| 10, 11 | D-A変換器       |
| 12     | 電圧制御発振器      |
| 13     | A-D変換器       |
| 14     | 位相誤差検出器      |
| 15     | タイミング制御論理回路  |
| 19     | 積分器          |
| 30~32  | カウンタ         |
| 33, 34 | 比較器          |
| 37     | マルチプレクサ      |
| 38     | 加算器          |
| 39     | AND回路        |
| 44     | 加算回路         |
| 71, 72 | マルチプレクサ      |
| 73     | 加算器          |
| 74     | レジスタ         |

40

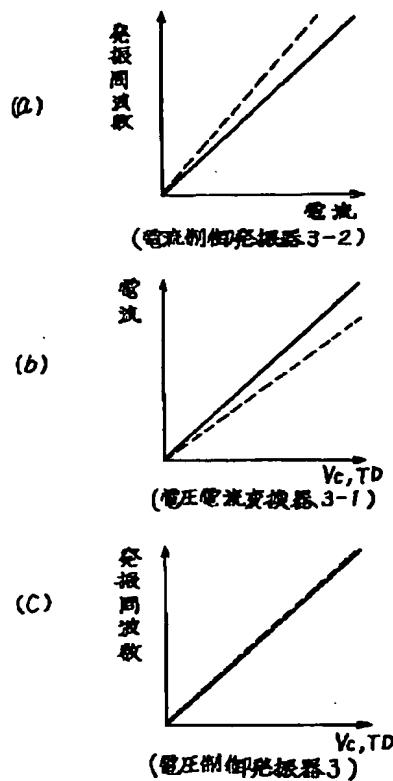
図1】



【図2】



【図3】



【図4】

